

PAT-NO: JP404062866A  
DOCUMENT-IDENTIFIER: JP 04062866 A  
TITLE: MOUNTING METHOD FOR SURFACE MOUNTING COMPONENT  
PUBN-DATE: February 27, 1992

INVENTOR-INFORMATION:  
NAME  
YAMASHITA, SHIRO

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
SEIKO EPSON CORP N/A

APPL-NO: JP02166108  
APPL-DATE: June 25, 1990

INT-CL (IPC): H01L025/00, H01L023/52 , H05K001/18 , H05K003/34

US-CL-CURRENT: 257/686

ABSTRACT:

PURPOSE: To improve component mounting density by providing a support between a semiconductor integrated circuit substrate and a mounting circuit substrate, making a space just below the semiconductor integrated circuit substrate and arranging other electronic components in the space.

CONSTITUTION: On a semiconductor integrated circuit substrate 101, Al pads 105-109 and 110 are formed. On a mounting circuit substrate 104, conducting patterns 111-119 are formed. Parts 120 and 121 are through holes and are connected with the conducting patterns on the back. Electrodes 124 and 125 are formed on a chip resistance 102 and are connected with conducting patterns 118,

119 and 117 on the mounting circuit substrate 104 by solder layer 126, 127 and 128 with a spacer 103. Then, the semiconductor integrated circuit substrate 104 is bonded with the spacer by conductive epoxy adhesive 129. Aluminum pads 106 and 109 are connected with the conducting patterns 112 and 113 by Au lines 122 and 123.

COPYRIGHT: (C)1992, JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-62866

⑤ Int. Cl.<sup>5</sup> 識別記号 庁内整理番号 ⑬ 公開 平成4年(1992)2月27日  
H 01 L 25/00 B 7638-4M  
H 05 K 23/52 S 6736-4E  
// H 05 K 1/18  
H 05 K 3/34 6918-4M H 01 L 23/52 C  
審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 表面実装部品の実装方法

⑯ 特 願 平2-166108

⑰ 出 願 平2(1990)6月25日

⑱ 発 明 者 山 下 士 郎 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式  
会社内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

表面実装部品の実装方法

2. 特許請求の範囲

1) 複数の電子回路素子を有する半導体集積回路基板と、該半導体集積回路基板を含む電子部品を搭載するための実装回路基板と、該半導体集積回路基板を該実装回路基板に固定するための支持物を有し、該支持物は該半導体集積回路基板の一部と接触し、該実装回路基板上でありかつ該半導体集積回路基板の裏下にあたる部分において、該支持物が存在しない場所に他の電子部品を配置することを特徴とする表面実装部品の実装方法。

2) 該支持物が導電体であり、該半導体集積回路基板と実装回路基板を電気的に接続することを特徴とする請求項1記載の表面実装部品の実装方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

複数の半導体素子を有する半導体集積回路基板と、その他の表面実装部品を搭載可能な実装回路基板に実装する手段に関する。特に、半導体集積回路基板を直接実装基板に実装するCOB(Chip On Board)技術に関する。

〔従来の技術〕

電子機器の軽薄短小化にともない、実装回路基板への電子部品の実装密度は高まる一方である。また、半導体製造技術の進歩により、一つの半導体基板上に数万素子の半導体素子を集積化することが可能になり、チップ寸法も大きくなってきた。これに比べ、個別電子部品は実装密度を高めるためにより小さいものが要求されてきている。

第2図に従来技術による実装図を示す。半導体集積回路基板201は、導電性エポキシ接着剤202によって実装回路基板204上の導電パターン203と電気的に接続されている。半導体集積回路基板201上のアルミパッド207及び208と実装回路基板204上の導電パターン205

及び210は、Au線206及び209をそれぞれワイヤボンディングすることによって接続されている。

〔発明が解決しようとする課題〕

しかし、前述の従来技術では、半導体集積回路基板201の下面の実装回路基板204上のスペースが活用されずスペース利用率が低いという課題を有する。そこで本発明は、このような課題を解決するもので、その目的とするところは、実装回路基板の電子部品の実装密度を高めることのできる表面実装部品の実装方法を提供するところにある。

〔課題を解決するための手段〕

本発明の表面実装部品の実装方法は、半導体集積回路基板と実装回路基板の間に支持物を設け、半導体集積回路基板の真下に空間をつくり、その場所に他の電子部品を配置することにより部品実装密度をさらに高めることを特徴とする。

〔実施例〕

第1図に本発明の一実施例を示す。第1図(a)

は本発明を使用した実装回路基板の組立図である。

第1図(b)は要部断面図(第1図(a)のA-A')である。

半導体集積回路基板101上には、Alパッド105、106、107、108、109及び110が形成されている。102はチップ抵抗、103はアルミで形成したスペースである。実装回路基板104上には導電パターン111、112、113、114、115、116、117、118、119が形成されている。120、121はスルーホールであり、裏面の導電パターンと接続されている。

チップ抵抗102には電極部124、125が形成されており、スペース103とともにんだ層126、127及び128によって実装回路基板104上の導電パターン118、119及び117に、それぞれ接続される。

半導体集積回路基板104はその後導電性エポキシ系接着剤129によってスペースと接着される。アルミパッド106、109は導電パターン

- 3 -

112、113に、Au線122及び123によってそれぞれ接続される。

このような構造にすれば、半導体集積回路基板の真下の実装回路基板表面にその他の電子回路部品を実装することができ、限られた実装回路基板上のスペースを有効に利用することができる。また、スペース103を導電体にすることで半導体集積回路基板101の裏面を実装回路基板104上の導電パターン117と電気的に接続することができ、半導体集積回路基板上の各半導体素子の電気的分離をより確実にすることが可能である。

第1図はスルーホールによって半導体集積回路基板の真下の電子回路部品の配線を行なったが、コストダウンを考慮してスルーホール無の実装回路基板にした場合においても、実施が可能である。第3図にその実施例を示す。第3図(a)は組立図であり、第3図(b)は要部断面図(第3図(a)のA-A')である。第3図は第1図の各部品と対応している(たとえば、半導体集積回路基板は第1図においては101、第3図において

- 4 -

は301である)。スペース303の一部を削除して、チップ抵抗302からの導電パターン318、319を通してしている。

〔発明の効果〕

本発明によれば、従来使用できなかった半導体集積回路基板の真下の実装回路基板上に他の電子回路部品を配置できる。このため実装密度の向上が期待できる。さらにスペースを導電体にするにより、半導体集積回路基板の裏面を実装回路基板上の導電パターンと電気的に接続でき、安定な電位に固定できる。

#### 4. 図面の簡単な説明

第1図(a)及び(b)は本発明の一実施例を示す組立図及び断面図。第2図は従来の実施例を示す断面図。第3図(a)、(b)は本発明の他の実施例を示す組立図及び断面図。

101、201、・・・・・・半導体集積回路  
基板

- 5 -

- 6 -

301、102、302・・・チップ抵抗  
103、303・・・スーパ  
104、204、・・・実装回路基板  
304、105、106、107、108、  
109、110、207、208、305、  
306、307、308、309、310  
・・・アルミパッド  
111、112、113、114、115、  
116、117、118、119、203、  
205、210・・・導電パターン  
311、312、313、314、315、  
316、317、318、319  
・・・アルミパッド  
120、121・・・スルーホール  
122、123、206、209、322、  
323・・・Au線  
124、125、324、325  
・・・チップ抵抗の電  
極部  
126、127、128、326、327、

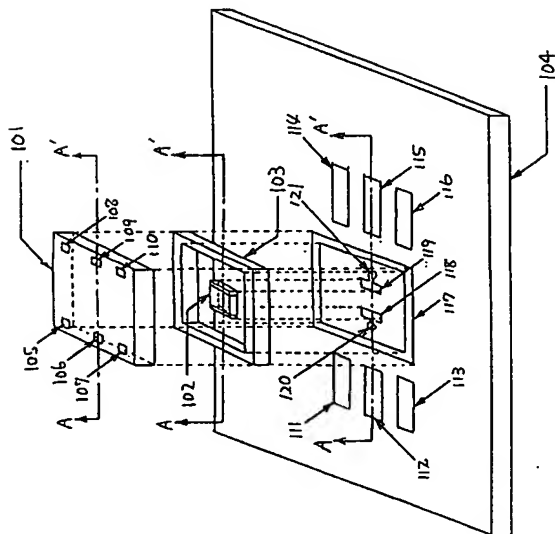
328・・・・・・はんだ脂  
129、202、329・・・・導電性エポキシ  
接着剤

以上

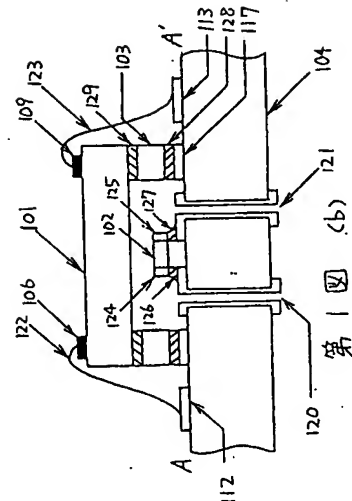
出願人 セイコーエプソン株式会社  
代理人 弁理士 鈴木 啓三郎（他１名）

- 7 -

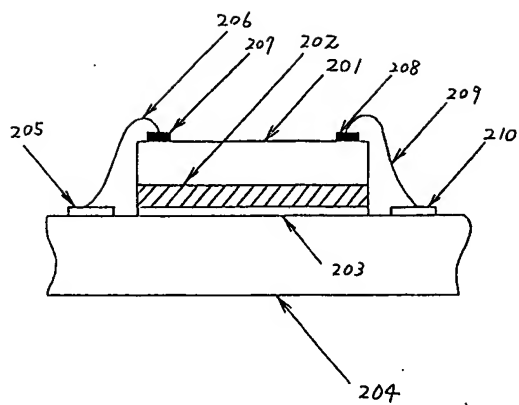
— 8 —



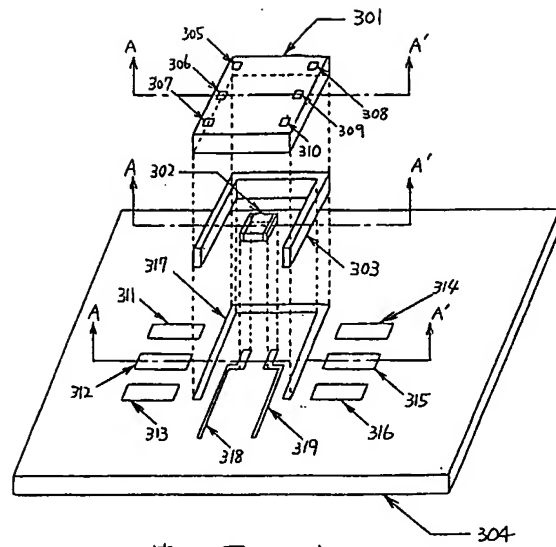
第一單元 (a)



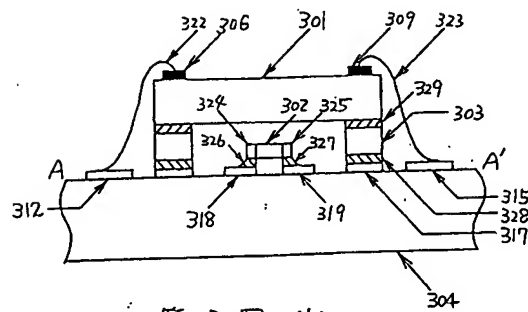
第一圖



第 2 図



第 3 図 (a)



第 3 図 (b)